

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Yao et al.

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: Herewith

Docket No. 250123-1040

For: **System for Testing Device Under Test and Test Method Thereof**

CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119

Mail Stop: Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicants hereby claim priority to and the benefit of the filing date of Republic of China patent application entitled, "System for Testing Device Under Test and Test Method Thereof", filed March 17, 2003, and assigned application number 92105838. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

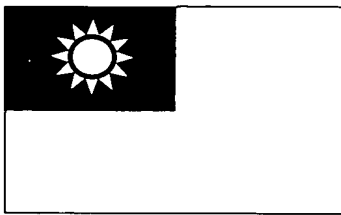
Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By: 

Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 17 日

Application Date

申請案號：092105838

Application No.

申請人：日月光半導體製造股份有限公司

Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 4 月 30 日

Issue Date

發文字號：09220428860

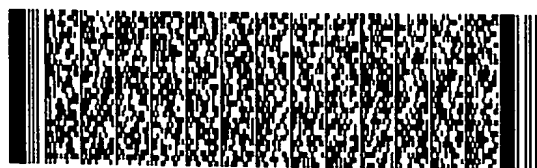
Serial No.

申請日期：	IPC分類
申請案號： 90130266	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	待測元件測試系統及測試方法
	英 文	Test system for testing a device under test and a test method thereof
二、 發明人 (共5人)	姓 名 (中文)	1. 姚松柏 2. 林悅農
	姓 名 (英文)	1. Yao , Sung-Po 2. Lin , Yueh-Lung
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 高雄市前金區博孝里11鄰市中一路29號20樓之1 2. 桃園縣蘆竹鄉坑口村17鄰海山路一段130號
	住居所 (英 文)	1. 20Fl. -1, No. 29, Shjung 1st Rd., Chianjin Chiu, Kaohsiung, Taiwan, R.O.C. 2. No. 130, Sec. 1, Haishan Rd., Lujun Shiang, Taoyuan, Taiwan,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. ADVANCED SEMICONDUCTOR ENGINEERING
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd Rd., NEPZ. Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
代表人 (英文)	1. Chien-Sheng Chang	



TW1023E(日月光).ptd

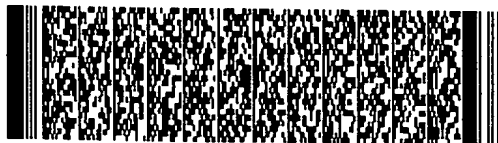


申請日期：	IPC分類
申請案號： 90130266	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中 文)	3. 林義隆
	姓 名 (英 文)	3. Lin, Yi-Lung
	國 籍 (中 英 文)	3. 中華民國 TW
	住 居 所 (中 文)	3. 高雄市三民區正興里 11 鄰建安街 43 巷 1 號 五樓之一
	住 居 所 (英 文)	3. 5Fl.-1, No. 1, Lane 43, Jianan St., Sanmin Chiu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	

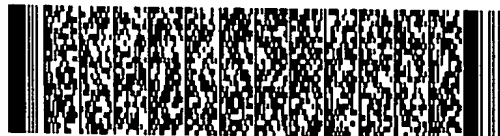


申請日期：	IPC分類
申請案號： 90130266	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	4. 唐和明
	姓名 (英文)	4. Tong , Ho-Ming
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中文)	4. 台北市士林區天母東路43巷4弄21號2樓
	住居所 (英文)	4. 2Fl., No. 21, Alley 4, Lane 43, Tianmu E. Rd., Shrlin Chiu, Taipei, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



1023

申請日期：	IPC分類
申請案號： 90130266	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	5. 李俊哲
	姓名 (英文)	5. Lee , Chun-Chi
	國籍 (中英文)	5. 中華民國 TW
	住居所 (中文)	5. 高雄市左營區天祥二路61巷12弄31號
	住居所 (英文)	5. No. 31, Alley 12, Lane 61, Tianshiang 2nd Rd., Tzuoying Chiu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：待測元件測試系統及測試方法)

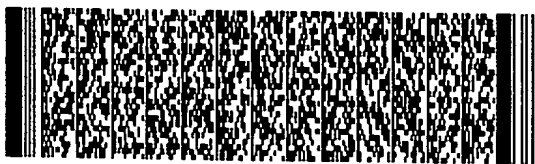
一種待測元件測試系統及測試方法。首先，輸出一具有測試輸入訊號及預期輸出訊號之預期測試圖樣。接著，壓縮預期測試圖樣，並輸出預期壓縮圖樣而儲存，預期壓縮圖樣具有對應於預期輸出訊號之預期壓縮輸出訊號。再者，解壓縮預期壓縮圖樣，並以測試輸入訊號對待測元件進行測試。接著，接收待測元件所輸出之實際輸出訊號並壓縮，然後輸出實際壓縮輸出訊號而儲存。最後，依實際壓縮輸出訊號與預期壓縮輸出訊號進行比對測試結果。

五、(一)、本案代表圖為：第 4 圖

(二)、本案代表圖之元件代表符號簡單說明：(無)

六、英文發明摘要 (發明名稱：Test system for testing a device under test and a test method thereof)

A test system for testing a device under test (DUT) and a test method thereof are provided. At first, an expected test pattern having a test input signal and an expected output signal is output. The expected test pattern is compressed, and an expected compressed pattern having an expected compressed output signal corresponded to the expected output signal is output and saved.



四、中文發明摘要 (發明名稱：待測元件測試系統及測試方法)

六、英文發明摘要 (發明名稱：Test system for testing a device under test and a test method thereof)

Then, the expected compressed pattern is decompressed, and the test input signal is applied to the device under test for testing the device under test. Then, a real output signal output from the device under test is received and compressed. A real compressed output signal is output and saved. At last, the real compressed output signal and the expected compressed output signal are



四、中文發明摘要 (發明名稱：待測元件測試系統及測試方法)

六、英文發明摘要 (發明名稱：Test system for testing a device under test and a test method thereof)

compared to determine the test result.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明是有關於一種待測元件測試系統及方法，且特別是有關於一種可以壓縮自動測試圖樣產生器

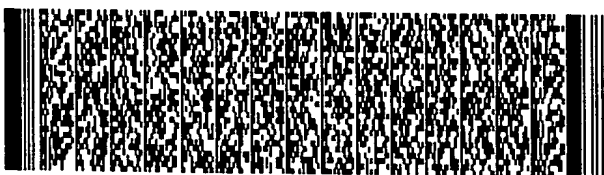
(automatic test pattern generator, ATPG) 所產生之預期測試圖樣 (test pattern) 的輸出與輸入結果，用以縮小預期測試圖樣之大小之待測元件測試系統及測試方法。

【先前技術】

在科技發展日新月異的現今時代中，電子裝置已成為現代人生活中不可或缺的工具，而電子裝置必須藉由半導體元件方可發揮運作功效，使得半導體元件之設計顯得相當重要。在現代人追求電子裝置輕薄短小及功能性多元化的潮流下，使得半導體元件的體積也相對地變小，且半導體元件之數位線路 (digital circuit) 也相對地更複雜。雖然半導體元件之數位線路很複雜，一般業界會利用電子設計自動化 (electronic design automation) 來輔助工程師設計所需要之半導體元件之數位線路，使得半導體元件的設計變得簡單許多。在電子設計自動化

(electronic design automation) 中，業界常用一種可測試性設計 (design for test, DFT) 之掃描測試流程以供半導體元件測試系統測試半導體元件，並確定半導體元件之通過測試 (pass) 或未通過測試 (fail)。

請參照第1圖，其繪示乃傳統之待測元件測試系統100

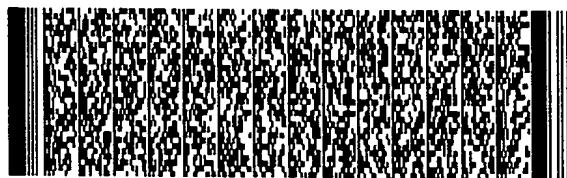
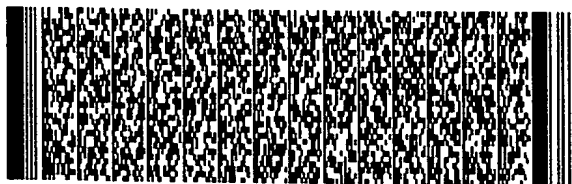


五、發明說明 (2)

的方塊圖。在第1圖中，待測元件測試系統100至少包括自動測試圖樣產生器 (automatic test pattern generation, ATPG) 102、自動測試機 (automatic test equipment, ATE) 104及測試板 (loadboard) 108，用以測試一待測元件。上述之待測元件，可為一積體電路元件，例如是半導體元件或晶片。自動測試圖樣產生器102具有對應於前述待測元件之預期測試圖樣 (test pattern)。前述之預期測試圖樣具有測試輸入訊號 (input signal) 及預期輸出訊號 (output signal)，預期輸出訊號係在正常狀態下，待測元件於接收測試輸入訊號並進行測試後，應產生之結果。

自動測試機104具有一記憶體106，記憶體106係與自動測試圖樣產生器102耦接，用以接收預期測試圖樣並儲存。測試板108係與記憶體106及待測元件耦接，用以於置放待測元件後擷取記憶體106中所儲存之測試輸入訊號，並輸出此測試輸入訊號至待測元件中。測試板108將接收待測元件所輸出之實際輸出訊號，並輸出此實際輸出訊號至記憶體106中，以儲存起來。自動測試機104將依據實際輸出訊號及預期輸出訊號來決定待測元件是否通過測試。其中，當實際輸出訊號與預期輸出訊號相同時，表示待測元件通過測試；當實際輸出訊號與預期輸出訊號不同時，表示待測元件未通過測試。

請參照第2圖，其繪示乃第1圖之待測元件測試系統100所提供之測試方法的流程圖。請同時參考第1圖，在第



五、發明說明 (3)

2 圖中，首先，在步驟202中，自動測試圖樣產生器102係產生對應於待測元件之預期測試圖樣，並輸出預期測試圖樣。接著，在步驟204中，記憶體106係接收預期測試圖樣並儲存。然後，在步驟206中，當待測元件置放於測試板108上，測試板108將擷取記憶體106所儲存之測試輸入訊號，並輸出此測試輸入訊號至待測元件中。接著，進入在步驟208中，測試板108將接收待測元件所輸出之實際輸出訊號，並輸出此實際輸出訊號至記憶體106中，以儲存起來。接著，進入步驟210中，自動測試機104將判斷實際輸出訊號與預期輸出訊號是否相同。當實際輸出訊號與預期輸出訊號相同時，進入步驟212中，自動測試機104將判定待測元件通過測試，並結束本方法；當實際輸出訊號與預期輸出訊號不同時，進入步驟214中，自動測試機104將判定待測元件未通過測試，並結束本方法。

在待測元件邁向功能多元化的趨勢下，使得待測元件之數位電路設計更加複雜，導致ATPG 102所產生對應於待測元件之自動測試圖樣的大小也相對變大許多。因此，ATE 104之儲存容量也必須相對地擴增，方可儲存自動測試圖樣。在面對自動測試圖樣之大小越變越大的情況下，業者必須每隔一段時間就要花一大筆錢增購昂貴之記憶體，以增加ATE 104的儲存容量，導致測試成本增加許多，相當不符合經濟效益。

【發明內容】



五、發明說明 (4)

有鑑於此，本發明的目的就是在提供一種待測元件測試系統及測試方法，利用對預期測試圖樣壓縮後再儲存之設計，可以大大地降低預期測試圖樣之大小，避免業者因預期測試圖樣過大而必須更換測試機台之記憶體之困擾，降低測試成本。

根據本發明的目的，提出一種待測元件測試系統，用以對一待測元件進行測試，待測元件包括自動測試圖樣產生器、壓縮裝置、自動測試機及壓縮/解壓縮單元。自動測試圖樣產生器用以產生對應於待測元件之預期測試圖樣並輸出，預期測試圖樣具有一測試輸入訊號及一預期輸出訊號。壓縮裝置用以接收預期測試圖樣並壓縮，以輸出預期壓縮圖樣，預期壓縮圖樣具有對應於預期輸出訊號之一預期壓縮輸出訊號。自動測試機用以儲存預期壓縮圖樣及一實際壓縮輸出訊號，並比對實際壓縮輸出訊號與預期壓縮輸出訊號。壓縮/解壓縮單元係用以擷取自動測試機之預期壓縮圖樣並解壓縮，以測試輸入訊號對待測元件中進行測試並輸出實際輸出訊號，壓縮/解壓縮單元更用以壓縮實際輸出訊號為上述之實際壓縮輸出訊號。

根據本發明的目的，另外提出一種待測元件測試方法，用以對一待測元件進行測試。在此方法中，首先，輸出一對應於待測元件之預期測試圖樣，預期測試圖樣具有一測試輸入訊號及一預期輸出訊號。接著，壓縮預期測試圖樣，並據以輸出一預期壓縮圖樣，預期壓縮圖樣具有對應於預期輸出訊號之一預期壓縮輸出訊號。然後，儲存預



五、發明說明 (5)

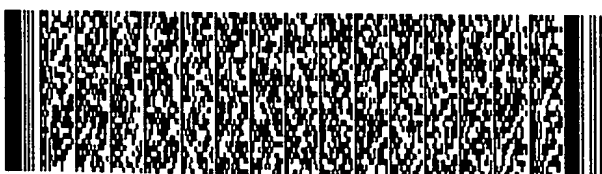
期壓縮圖樣。接著，擷取預期壓縮圖樣並解壓縮，以輸出測試輸入訊號並對待測元件進行測試。然後，接收待測元件所輸出之一實際輸出訊號並壓縮，以輸出一實際壓縮輸出訊號。接著，儲存實際壓縮輸出訊號並判斷實際壓縮輸出訊號與預期壓縮輸出訊號是否相同。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

本發明特別設計一待測元件測試系統及測試方法，利用對預期測試圖樣壓縮後再儲存之設計，可以大大地降低預期測試圖樣之大小，避免業者因日漸複雜化之待測元件所需之預期測試圖樣亦增大許多，致使原本測試機台具有之記憶體不敷使用，而必須更換測試機台之記憶體的困擾，降低測試成本。

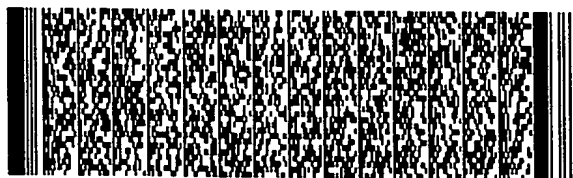
請參照第3圖，其繪示乃依照本發明之較佳實施例之待測元件測試系統300的方塊圖。在第3圖中，待測元件測試系統300至少包括自動測試圖樣產生器 (automatic test pattern generation, ATPG) 302、壓縮裝置303、自動測試機 (automatic test equipment, ATE) 304及測試板 (loadboard) 308，用以測試一待測元件。其中，壓縮裝置303係與自動測試圖樣產生器302及自動測試機304耦接，測試板308係與自動測試機304耦接。自動測試圖樣



五、發明說明 (6)

產生器302用以產生對應於待測元件所需之預期測試圖樣，並展開此預期測試圖樣，於本實施例中，此圖樣可為掃描圖樣(scan pattern)。展開後之預期測試圖樣中至少包括測試輸入訊號(input signal)及預期輸出訊號(output signal)，預期輸出訊號係在正常狀態下，待測元件於接收測試輸入訊號並進行測試後，應產生之結果。壓縮裝置303係接收自動測試圖樣產生器302之預期測試圖樣，並藉由一壓縮演算法(compression algorithm)壓縮預期測試圖樣，而輸出一預期壓縮測試圖樣。其中，預期壓縮圖樣具有對應於測試輸入訊號之一測試壓縮輸入訊號及對應於預期輸出訊號之一預期壓縮輸出訊號。

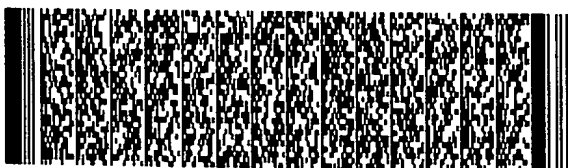
自動測試機304具有一記憶體306，記憶體306係用以儲存壓縮裝置303之預期壓縮測試圖樣。測試板308係用以置放待測元件，並對待試元件進行測試。測試板308具有一壓縮/解壓縮單元310，其可為一晶片，當待測元件置放於測試板308時，壓縮/解壓縮單元310擷取記憶體306之預期壓縮測試圖樣，並解壓縮預期壓縮測試圖樣，以輸出測試輸入訊號至測試板308並對待測元件進行測試。壓縮/解壓縮單元310將接收待測元件所輸出之實際輸出訊號並進行壓縮，然後輸出一實際壓縮輸出訊號至記憶體306中儲存。自動測試機304將依據實際壓縮輸出訊號及預期壓縮輸出訊號來決定待測元件是否通過測試。當實際壓縮輸出訊號與預期壓縮輸出訊號相同時，表示待測元件通過測



五、發明說明 (7)

試；當實際壓縮輸出訊號與預期壓縮輸出訊號不同時，表示待測元件未通過測試。

請參照第4圖，其繪示乃第3圖之待測元件測試系統300所提供之測試方法的流程圖。請同時參考第3圖，在第4圖中，首先，在步驟402中，自動測試圖樣產生器302係產生一對應於待測元件之預期測試圖樣並輸出，預期測試圖樣具有一測試輸入訊號及一預期輸出訊號。接著，在步驟404中，壓縮裝置303係接收預期測試圖樣並壓縮，以輸出一預期壓縮圖樣。預期壓縮圖樣具有對應於測試輸入訊號之一測試壓縮輸入訊號及對應於預期輸出訊號之一預期壓縮輸出訊號，而測試壓縮輸入訊號及預期壓縮輸出訊號之大小係分別小於測試輸入訊號及預期輸出訊號之大小。然後，在步驟406中，記憶體306係接收預期壓縮圖樣儲存。接著，在步驟408中，壓縮/解壓縮單元310係擷取記憶體306中之預期壓縮圖樣，並解壓縮預期壓縮圖樣，以輸出預期測試圖樣之測試輸入訊號至測試板308對待測元件進行測試。然後，在步驟410中，壓縮/解壓縮單元310係接收測試板308對待測元件進行測試之結果輸出之一實際輸出訊號，並壓縮此實際輸出訊號，以輸出一實際壓縮輸出訊號。接著，在步驟412中，記憶體306係接收實際壓縮輸出訊號並儲存。然後，在步驟414中，自動測試機304係判斷預期壓縮輸出訊號與實際壓縮輸出訊號是否相同。當預期壓縮輸出訊號與實際壓縮輸出訊號相同時，如步驟416，自動測試機304係判定待測元件通過測試，並結束本



五、發明說明 (8)

方法；當預期壓縮輸出訊號與實際壓縮輸出訊號不同時，如步驟418中，自動測試機304係判定待測元件未通過測試，並結束本方法。

此外，本方法係以一壓縮演算法壓縮預期測試圖樣而成為一預期壓縮圖樣，並以一解壓縮演算法解壓縮預期壓縮圖樣而成為一預期測試圖樣，且該方法以可用此壓縮演算法壓縮實際輸出訊號而成為一實際壓縮輸出訊號。

需要注意的是，壓縮/解壓縮單元310所解壓縮而輸出之預期測試圖樣必須與自動測試圖樣產生器302所產生之預期測試圖樣相同；壓縮裝置303所壓縮而輸出之預期壓縮圖樣之預期壓縮輸出訊號的格式必須與壓縮/解壓縮單元310所壓縮而輸出之實際壓縮輸出訊號格式相同，方能進行比較。

然熟悉此技藝者當可明瞭本發明之技術並不侷限於此，例如，壓縮裝置303及壓縮/解壓縮單元310可以結合成一壓縮/解壓縮裝置。其中，壓縮裝置303及壓縮/解壓縮單元310可以配置於自動測試機304中。此外，壓縮/解壓縮單元310例如是具有壓縮/解壓縮演算法之晶片。

本發明上述實施例所揭露之待測元件測試系統及測試方法，其壓縮預期測試圖樣而儲存之設計，可以縮小預期測試圖樣之大小，避免業者因預期測試圖樣逐漸增大而必須在每隔一固定時間後即需更換記憶體的困擾，節省測試成本。

綜上所述，雖然本發明已以一較佳實施例揭露如上，



五、發明說明 (9)

然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示乃傳統之待測元件測試系統的方塊圖。

第2圖繪示乃第1圖之待測元件測試系統所提供之測試方法的流程圖。

第3圖繪示乃依照本發明之較佳實施例之待測元件測試系統的方塊圖。

第4圖繪示乃第3圖之待測元件測試系統所提供之測試方法的流程圖。

圖式標號說明

100、300：待測元件測試系統

102、302：自動測試圖樣產生器

104、304：自動測試機

106、306：記憶體

108、308：測試板

303：壓縮裝置

310：壓縮/解壓縮單元



六、申請專利範圍

1. 一種待測元件測試方法，用以對一待測元件進行測試，該方法包括：

輸出對應於該待測元件之一預期測試圖樣，該預期測試圖樣具有一測試輸入訊號及一預期輸出訊號；

壓縮該預期測試圖樣，並輸出一預期壓縮圖樣，該預期壓縮圖樣具有對應於該預期輸出訊號之一預期壓縮輸出訊號；

儲存該預期壓縮圖樣；

擷取該預期壓縮圖樣並解壓縮，以輸出該測試輸入訊號並對該待測元件進行測試；

接收該待測元件所輸出之一實際輸出訊號並壓縮，以輸出一實際壓縮輸出訊號；

儲存該實際壓縮輸出訊號；以及

判斷該實際壓縮輸出訊號與該預期壓縮輸出訊號是否相同。

2. 如申請專利範圍第1項所述之待測元件測試方法，其中該輸出之預期測試圖樣係掃描測試圖樣。

3. 如申請專利範圍第1項所述之待測元件測試方法，其中該方法係用於一測試系統上，該測試系統包括：

一自動測試圖樣產生器（automatic test pattern generator，ATPG），用以產生該預期測試圖樣並輸出。

4. 如申請專利範圍第3項所述之待測元件測試方法，其中該測試系統更包括：

一壓縮裝置，用以接收該預期測試圖樣並壓縮，以輸



六、申請專利範圍

出該預期壓縮圖樣。

5. 如申請專利範圍第4項所述之待測元件測試方法，其中該測試系統更包括：

一自動測試機 (automatic test equipment, ATE)，具有一記憶體，用以儲存該預期壓縮圖樣及該實際壓縮輸出訊號，並比對該實際壓縮輸出訊號與該預期壓縮輸出訊號是否相同。

6. 如申請專利範圍第5項所述之待測元件測試方法，其中該測試系統更包括：

一測試板 (loadboard)，用以置放該待測元件，該測試板具有一壓縮/解壓縮單元，該壓縮/解壓縮單元擷取該預期壓縮圖樣並解壓縮，以輸出該測試輸入訊號對該待測元件進行測試，且該壓縮/解壓縮單元更用以壓縮對該待測元件測試後輸出之該實際輸出訊號為該實際壓縮輸出訊號，並儲存至該記憶體中。

7. 如申請專利範圍第1項所述之待測元件測試方法，其中：

當該實際壓縮輸出訊號與該預期壓縮輸出訊號相同時，判定該待測元件通過測試；以及

當該實際壓縮輸出訊號與該預期壓縮輸出訊號不同時，判定該待測元件未通過測試。

8. 一種待測元件測試系統，用以對一待測元件進行測試，該系統包括：

一自動測試圖樣產生器，用以產生對應於該待測元件



六、申請專利範圍

之一預期測試圖樣並輸出，該預期測試圖樣具有一測試輸入訊號及一預期輸出訊號。

一壓縮裝置，用以接收該預期測試圖樣並壓縮，以輸出一預期壓縮圖樣，該預期壓縮圖樣具有對應於該預期輸出訊號之一預期壓縮輸出訊號；

一自動測試機，用以儲存該預期壓縮圖樣及一實際壓縮輸出訊號，並比對該實際壓縮輸出訊號與該預期壓縮輸出訊號；

一壓縮/解壓縮單元，用以擷取該自動測試機之該預期壓縮圖樣並解壓縮，以該測試輸入訊號對該待測元件進行測試並輸出一實際輸出訊號，該壓縮/解壓縮單元更用以壓縮該實際輸出訊號為該實際壓縮輸出訊號。

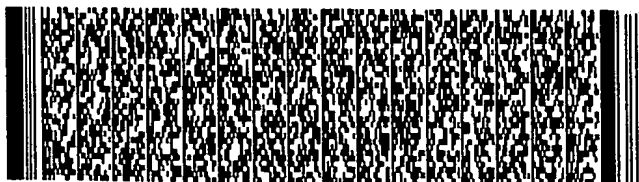
9. 如申請專利範圍第8項所述之待測元件測試系統，其中該自動測試機更包括：

一記憶體，用以儲存該預期壓縮圖樣及該實際壓縮輸出訊號。

10. 如申請專利範圍第8項所述之待測元件測試系統，其中該測試系統更包括：

一測試板，用以置放該待測元件，該測試板具有該壓縮/解壓縮單元。

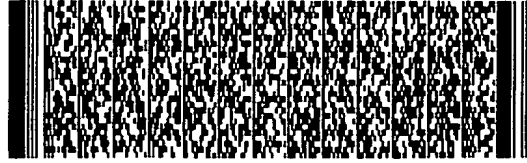
11. 如申請專利範圍第8項所述之待測元件測試系統，其中該自動測試圖樣產生器產生之預期測試圖樣係掃描測試圖樣。



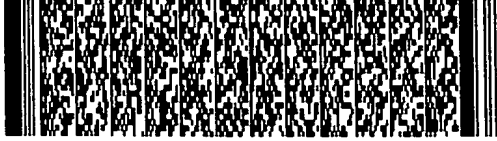
第 1/21 頁



第 1/21 頁



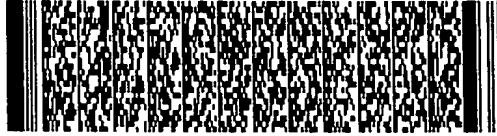
第 2/21 頁



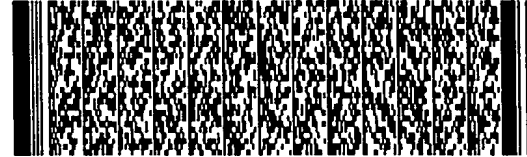
第 3/21 頁



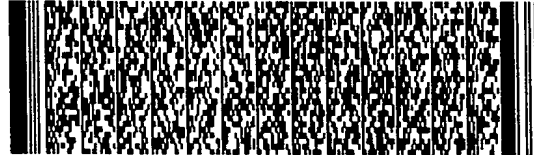
第 4/21 頁



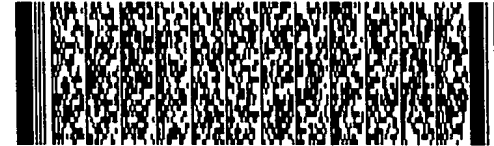
第 5/21 頁



第 5/21 頁



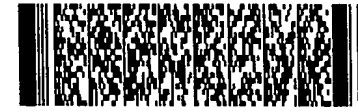
第 6/21 頁



第 7/21 頁



第 8/21 頁



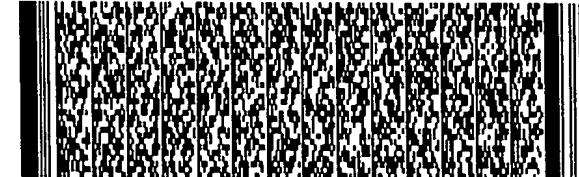
第 9/21 頁



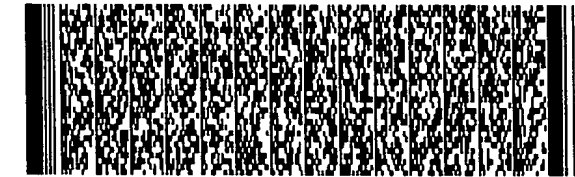
第 9/21 頁



第 10/21 頁



第 10/21 頁



第 11/21 頁



第 11/21 頁



第 12/21 頁



第 12/21 頁



第 13/21 頁



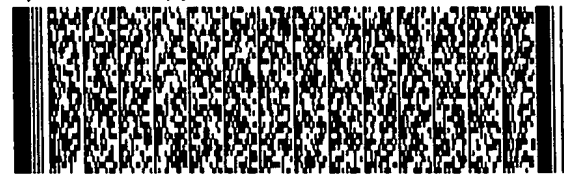
第 13/21 頁



第 14/21 頁



第 14/21 頁



第 15/21 頁



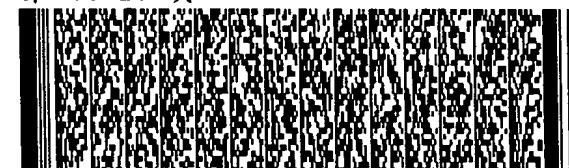
第 15/21 頁



第 16/21 頁



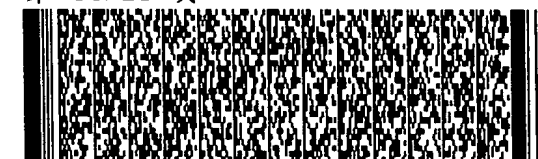
第 16/21 頁



第 17/21 頁



第 18/21 頁



第 19/21 頁

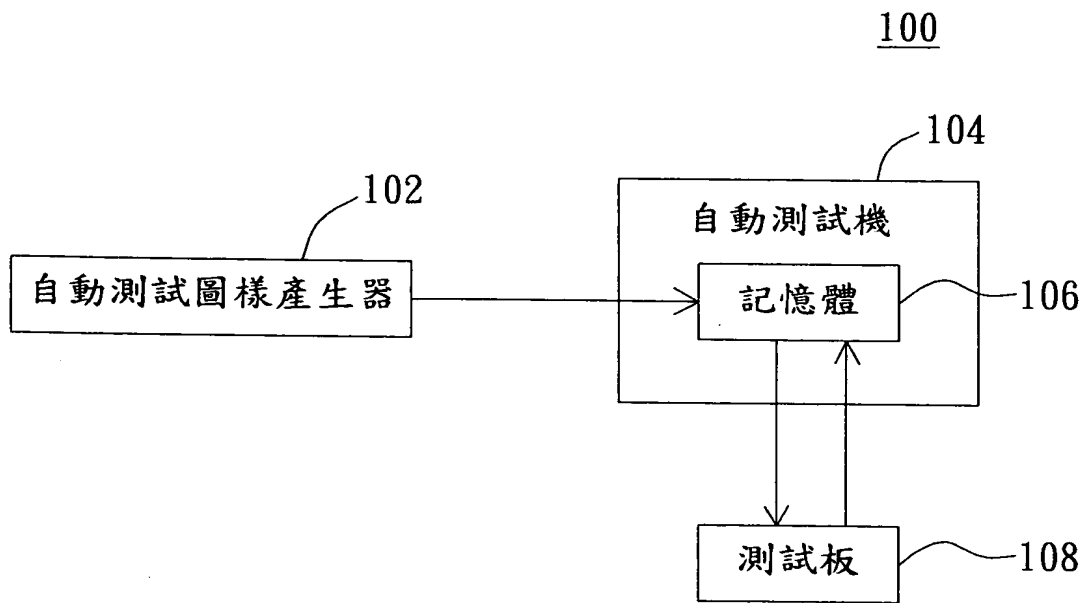


第 20/21 頁

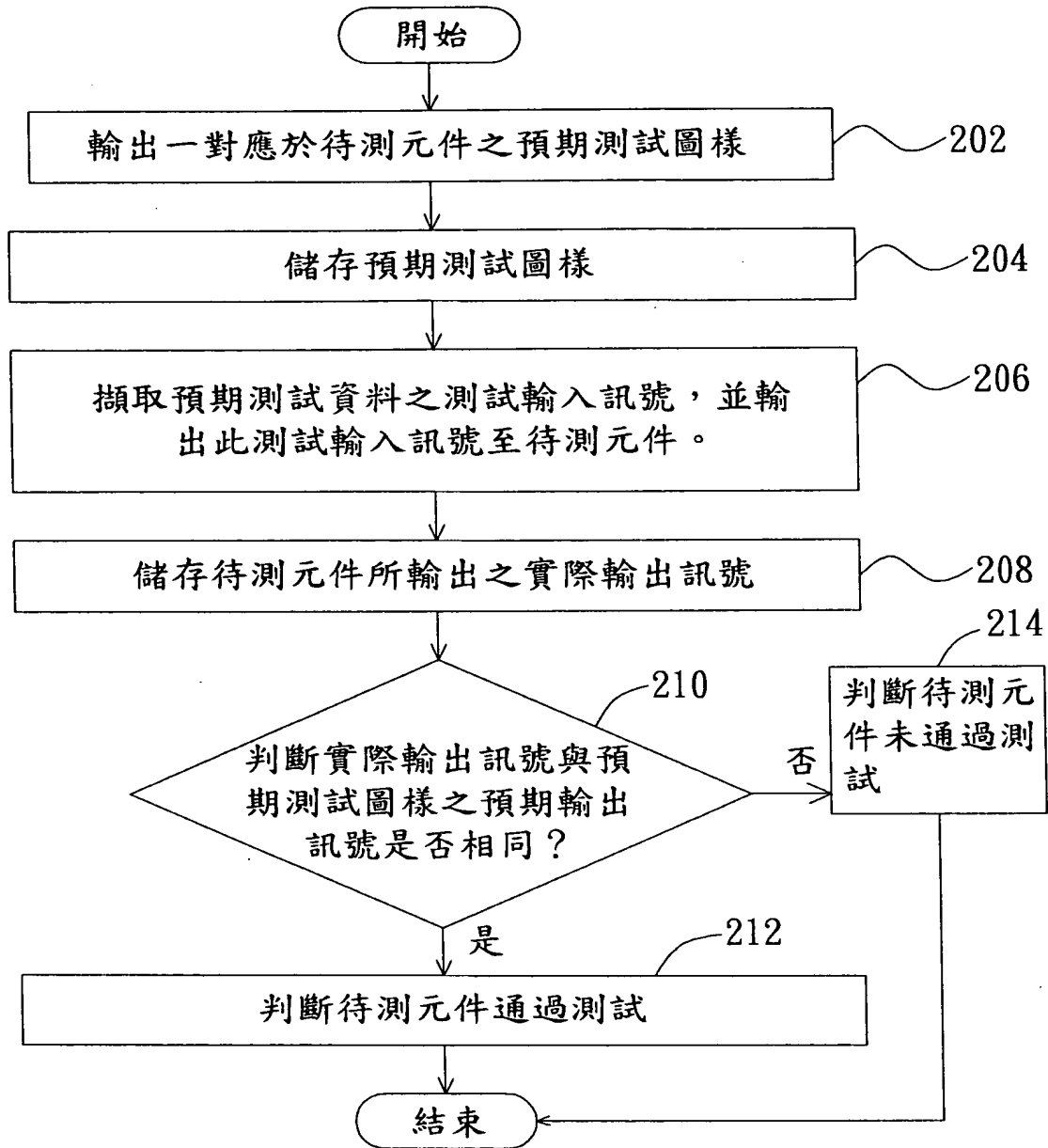


第 21/21 頁

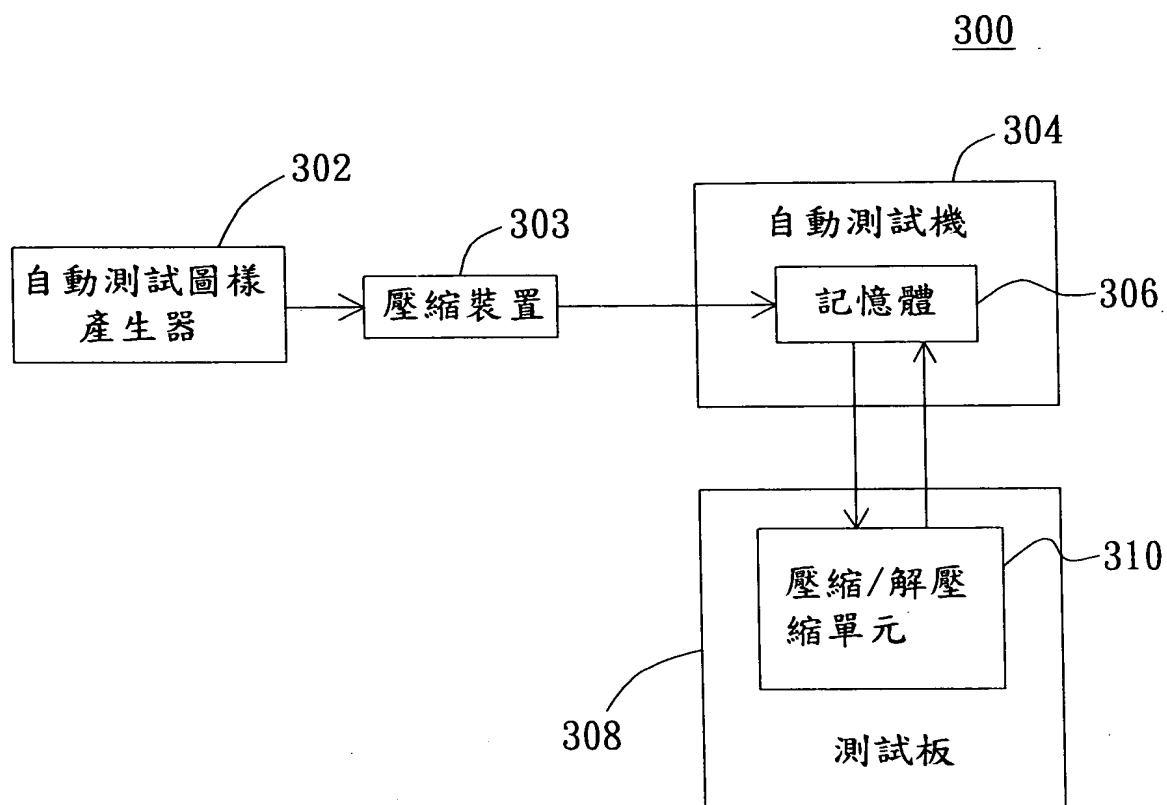




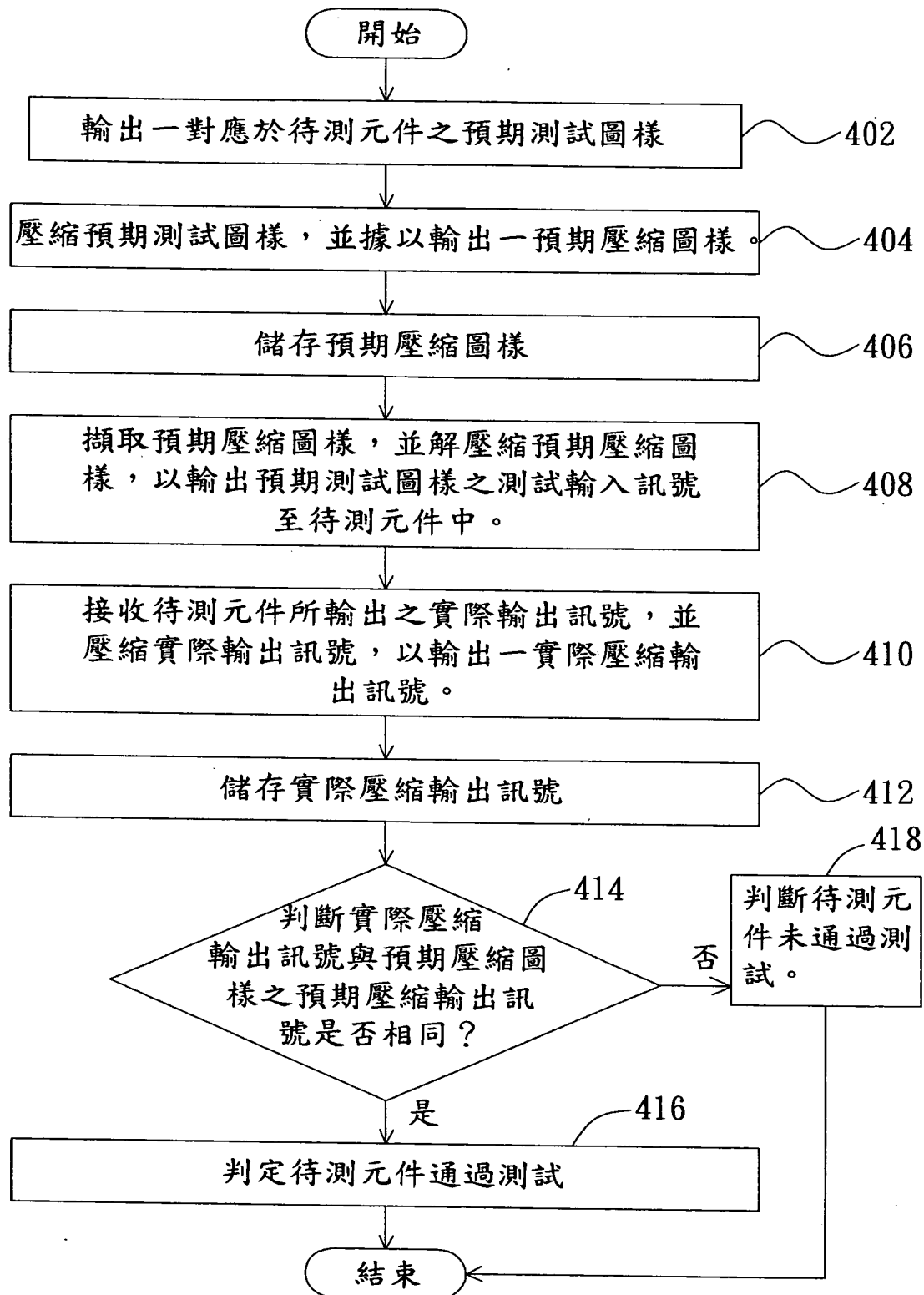
第 1 圖(習知技藝)



第 2 圖(習知技藝)



第 3 圖



第 4 圖